

**Japanese Patent Office
Patent Laying-Open Gazette**

Patent Laying-Open No.	2001-297579
Date of Laying-Open:	October 26, 2001
International Class(es):	G11C 11/14 11/15

(8 pages in all)

Title of the Invention:	Charge Conserving Write Method and System for an MRAM
Patent Appln. No.	2001-30430
Filing Date:	February 7, 2001
Priority Claimed:	Serial No. 546367 Filing Date: April 10, 2000 Country: U.S.A.
Inventor(s):	William C. Moyer
Applicant(s):	Motorola Incorporated

(transliterated, therefore the
spelling might be incorrect)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-297579

(P2001-297579A)

(43) 公開日 平成13年10月26日 (2001. 10. 26)

(51) Int.Cl.⁷

G 1 1 C 11/14
11/15

識別記号

F I

G 1 1 C 11/14
11/15

テ-マコ-ト (参考)

E

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2001-30430 (P2001-30430)

(22) 出願日 平成13年2月7日 (2001. 2. 7)

(31) 優先権主張番号 5 4 6 3 6 7

(32) 優先日 平成12年4月10日 (2000. 4. 10)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORAT
RED

アメリカ合衆国イリノイ州シャンパーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 ウィリアム・シー・モイヤー

アメリカ合衆国テキサス州ドリッピング・
スプリングス、ピア・プランチ・ロード
1005

(74) 代理人 100091214

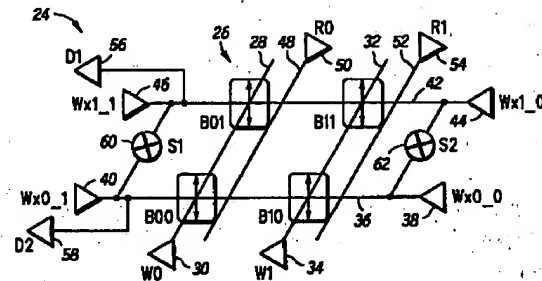
弁理士 大貫 進介 (外 1 名)

(54) 【発明の名称】 MRAMのための電荷節約型書込方法およびシステム

(57) 【要約】

【課題】 集積回路 (IC) 磁気抵抗ランダム・アクセス・メモリ (MRAM) システムにおける平均的書込電流を低減するための電荷節約書込方法および装置を提供する。

【解決手段】 第1実施例において、各々が選択される対のビット線の各端の間に接続される1対の電流スイッチのうち選択されたスイッチが可能化されて選択されたビット線を連鎖させ、1つのビット書込電流が両方のビット線内の個々のビット・セルに同時に書き込む。第2実施例においては、選択されたビット線の電流スイッチとビット書込ドライバ回路が選択的に可能化され、ドライバの平均的な利用を平衡化する。単端ドライバと双方向ドライバの両方の実施例が開示される。



の第1方向と、前記データ・ビットを前記第2論理状態に書き込むための第2方向とに提供されるMRAMシステムにおける書込制御回路であって：各々が前記第1および第2論理状態の一方を有する第1および第2入力ビットを受信する入力回路；可能化されると、前記ワード__書込電流を提供するワード__書込ドライバ；可能化されると、前記第1および第2方向のうち選択される方向において、前記第1ビット書込線に前記ビット__書込電流を提供する第1ビット__書込ドライバ回路；可能化されると、前記第1および第2方向のうち選択される方向において、前記第2ビット書込線に前記ビット__書込電流を提供する第2ビット__書込ドライバ回路；可能化されると、第1ビット書込線の第2端を第2ビット書込線の第2端に選択的に接続して、前記第1ビット書込線の前記第1端によって構成される第1端と、前記第2ビット書込線の前記第1端によって構成される第2端とを有する折返ビット書込線を形成する電流スイッチであって、第3方向が前記折返ビット書込線の前記第1端からその前記第2端へと向かい、第4方向が前記折返ビット書込線の前記第2端からその前記第1端へと向かう電流スイッチ；前記第1入力ビットの論理状態を前記第2入力ビットの論理状態と比較する比較回路であって：前記第1入力ビットの論理状態が前記第2入力ビットの論理状態と同じ場合に、前記第1および第2入力ビットの論理状態に依存して：前記第1電流スイッチを不能化する；前記第1ビット書込ドライバ回路を可能化して、前記第1ビット__書込電流を前記第1および第2方向のうち選択される方向において前記第1ビット書込線に提供する；および前記第2ビット書込ドライバ回路を可能化して、前記第2ビット__書込電流を前記第1および第2方向のうち選択される方向において、前記第2ビット書込線に提供する；あるいは前記第1入力ビットの論理状態が前記第2入力ビットの論理状態とは異なる場合に、前記第1入力ビットの論理状態に依存して：前記第1電流スイッチを可能化して、前記第1および第2ビット書込線の個々の端を接続し、前記折返ビット書込線を形成する；および前記第1ビット書込ドライバ回路を可能化して、前記第1ビット書込電流を前記第3および第4方向のうち選択される方向において前記選択される折返ビット書込線に提供する比較回路；によって構成されることを特徴とする書込制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、集積回路(IC)磁気抵抗ランダム・アクセス・メモリ(MRAM: magnetoresistive random access memory)に関し、さらに詳しくは、IC MRAMシステムにおいて消費電力を最小限に抑える書込方法に関する。

【0002】

【関連出願との相互参照】本発明は、以下の同時継続特

許出願に関する：William C. Moyer他著、2000年4月18日出願、本件の譲受人に譲渡された特許番号第6,052,302号「BIT-WISE CONDITIONAL WRITE METHOD AND SYSTEM FOR AN MRAM」。

【0003】

【従来の技術および発明が解決しようとする課題】1950年代および60年代には、磁気コア・メモリがコンピュータ・システムの動作メモリのための支配的な格納技術であったが、1970年代には、スタティック(SRAM)およびダイナミック(DRAM)両方の集積回路ランダム・アクセス・メモリに急速に取って代わられた。これら新しい技術の利点はよく知られている。すなわち、サイズが微小であること(より速い動作速度に貢献する)、電力要件がきわめて小さいこと(熱損失が少なく済む)、耐性が改善したことによる信頼性および規模の生産効率の改善。これらはすべてビットあたりのコストを劇的に引き下げることに貢献した。これらの欠点も同様に知られている。すなわち、SRAMにおける連続的な電力消失やDRAMの定期的なデータ・リフレッシュとして現れるデータの揮発性である。これらの問題に対処するために、種々の不揮発性読み/書きメモリの技術が開発されてきた。これには、電氣的消去書込可能読取専用メモリ(EEPROM)があり、この中では、現在フラッシュ・メモリが最も一般的である。しかし、これらの技術にはすべて別の欠点がある。すなわち(書込サイクルに関する)寿命が有限であること、またバッテリー給電システムの設計者には難問となる電力要件である。

【0004】近年、現在の集積回路製造プロセスを利用した生産に適する磁気抵抗ランダム・アクセス・メモリ(MRAM)セルが、不揮発性格納要素用として開発された。IC内に組み込むのに適するこのようなMRAMの例は、米国特許第5,343,422号、第5,917,749号および第5,920,500号に図示解説される。現在のMRAM技術とそれらの相対的利点および欠点の研究は、「Magenta Resistive IC Memory Limitations and Architecture Implications」(1998 International Non Volatile Memory Technology Conference, IEEE, pp. 47-50 (1998年))においてR. Scheuerleinによって発表された。

【0005】一般に、磁気トンネル接合(MTJ: Magnetic Tunnel Junction)型のMRAM装置には、層の磁気極性の方向により電流の流れに対する抵抗を変化させる適切な磁気材料からなる多層抵抗要素が含まれる。メモリ・セルにおいては、この「ビット__抵抗」が共通電圧電源と「読込」検知増幅器の入力に接続される「ビット__読込__書込」導体との間に並列に接続される。「ワード__書込」導体は、ビット__読込__書込導体に対し相対的に直交して交差するように配列される。ワード__書込およびビット__読込__書込導体は、それぞれワード__書込回路とビット__書込ドライバ回路とに接続され、これらの

回路が選択的に可能化されて、各導体がビット__抵抗の極性状態を切り換えるために必要な電流の部分のみを伝える。

【0006】書込動作中は、これらの「書込」電流の各々はビット__抵抗の極性状態に影響を与えるには一般に不十分であるが、交差点すなわち「一致」点において集合すると、これらの電流は十分に、書込導体の交差点に近接するビット__抵抗の極性状態に影響を与える。現在の極性状態と、書込導体における電流の相対的方向とに依存して、一致点のビット__抵抗は、その極性状態を維持するか、あるいはそれを切り換える。

【0007】読込動作中は、ビット__読込トランジスタは、個別のワード__読込導体を介して可能化され、同時に対応するビット__読込検知増幅器が可能化されて、ビット__読込__書込導体から共通電源への電流経路を生成する。ビット__抵抗の抵抗値の差は小さいので、ビット__読込検知増幅器は、個々の極性状態に関わるビット__抵抗の両端の電圧降下の小さな差を認識するのに十分な感度を持たねばならない。磁気コア・メモリの場合と同様に、MRAMビット__抵抗は一度書き込まれると、その磁気極性状態を、更なる電力入力がなくても無期限に維持する。同様に、ビット__抵抗自身の極性を切り換えることのできる、すなわち「書き込む」ことのできる回数に実質的な制約はないように見える。

【0008】このようなMRAMセルの残念な欠点の1つは、ビット__抵抗の磁気極性を切り換えるために要する書込電流が比較的大きいことである。プロセス技術における改良により、書込導体の断面積が小さくなるにつれて、金属移動効果は大きくなっている。同時に書き込まれるビット数が増えているために、これは特に関心を集める。平均瞬間書込電流を小さくするために、対応の改善が必要とされる。

【0009】本発明の目的は、MRAMにおける平均瞬間書込電流を低減する方法を提供することである。

【0010】さらに、本発明の別の目的は、以下に開示される方法を実用化するシステムを提供することである。

【0011】

【実施例】従来のIC MRAM 10セルにおいては、図1に例として示すようにビット__抵抗12が共通電圧電源16とビット__読込__書込導体18との間のビット__読込トランジスタ14と並列に接続される。ワード__書込導体20は、ビット__読込__書込導体18と相対的に直交して交差するよう配列される。ワード__読込導体22は、ビット__読込トランジスタ14の制御ゲートに接続される。

【0012】MRAMセル10の従来の性質に関して、図1の右側に図示されるセルが図2に示されるMRAMシステム内で事例として示される場合にはいつでも、図1の左側に示す記号をこれ以降は用いるものとする。参照の便宜

上、図1においては、ビット__読込__書込導体18の左端に「Dy」と記号を付け、たとえば、多重ビット「ワードx」の「ビットy」を読むための経路とし、一方、右端には「Wxy」と記して、これも個別のビット__書込電流の経路とする。同様に、ワード__書込導体20とワード__読込導体22にはそれぞれ「Wx」、「Rx」と記号を付けて、以下に用いられる名称を示すものとする。

【0013】図2には、MRAMシステム24が示される。このシステムには、図1に示す従来のMRAMセル10の4つの事例が配列され、各々が2つのデータ・ビットで構成される2つのワードによって構成されるMRAMアレイ26を形成する。各々のデータ・ビットには、図1に従って記号が付けられ、MRAMアレイ26内の個々のMRAMセル10の論理的な位置を示す。詳しくは、ワード__0は、ワード__0の論理ビット__0を表す「B00」と記される第1MRAMセル10と、ワード__0の論理ビット__1を表す「B01」と記される第2MRAMセル10とによって構成される。また、ワード__1は、ワード__1の論理ビット__0を表す「B10」と記される第3MRAMセル10と、ワード__1の論理ビット__1を表す「B11」と記される第4MRAMセル10とによって構成される。「W0」と記されるワード__0__書込導体28は、ワード__0__書込ドライバ回路30によって駆動される。また、「W1」と記されるワード__1__書込導体32は、ワード__1__書込ドライバ回路34によって駆動される。ワード__0とワード__1の両方のビット__0が共有するビット__0__読込__書込導体36は、ある方向においては、「Wx0_0」と記されるビット__0__書込__0ドライバ回路38により駆動され、第2の反対方向においては「Wx0_1」と記されるビット__0__書込__1ドライバ回路40によって駆動される。一方で、ワード__0とワード__1の両方のビット__1が共有するビット__1__読込__書込導体42は、ある方向においては、「Wx1_0」と記されるビット__1__書込__0ドライバ回路44により駆動され、第2の反対方向においては「Wx1_1」と記されるビット__1__書込__1ドライバ回路46によって駆動される。

【0014】たとえば、ワード__0の従来の書込動作の間は、ワード__0__書込ドライバ回路30(W0)が可能化され、ワード__書込電流をワード__0__書込導体28を介して提供する。たとえば、ビット__0に0のデータ値を書き込もうとする場合、ビット__0__書込__0ドライバ回路38(Wx0_0)が同時に可能化されて、ビット__書込電流をビット__0__読込__書込導体36を介して提供する。これらの書込電流の各々は、個別にはB00 MRAMセル10の極性状態に影響を与えるには不十分であるが、共同すると「一致」電流は、2つの極性状態のうち所定の状態を強いるには充分である。極性の現在の状態と、書込導体における電流の相対的方向とに依存して、B00 MRAMセル10は、極性状態を維持するかあるいは切り換えることになる。同様に、B01 MRAMセル10の

所望の極性状態を、1対のビット__1__書込ドライバ回路のうち適切な一方の回路を選択的に可能化することにより設定することができる。従来のMRAMシステム24においては、各対のビット__書込ドライバ回路のうち少なくとも一方の回路が書込サイクル毎に可能化されることに留意されたい。

【0015】図2のMRAMシステム24の説明を続けると、「R0」と記されるワード__0__読込導体48が、ワード__0__読込ドライバ回路50により駆動される。また、「R1」と記されるワード__1__読込導体52は、ワード__1__読込ドライバ回路54により駆動される。たとえば、ワード__1__の読込動作中に、ワード__1__読込ドライバ回路54が、たとえばB11 MRAMセル10を可能化して、共通電源とビット__1__読込__書込導体42との間に電流を分流させ、同時にビット__1__検知__増幅器56が可能化されて、分路電流の相対的レベルを検出する。B11 MRAMセル10のビット__抵抗12の抵抗値の差は小さいので、ビット__1__検知__増幅器56は、個々の極性状態に関連するビット__抵抗12の両端の電圧降下の小さな差を認識できるほど十分な感度を持たねばならない。同様に、ビット__0__検知__増幅器58は、B10 MRAMセル10の状態によるビット__0__読込__書込導体36上の電流レベルを検出する。

【0016】もちろん、MRAMアレイ26のサイズが、選*

$Wx0_0 = (I0 == 0)$; I0=0
$Wx0_1 = (I0 == 1)$; I0=1
$Wx1_0 = ((I0 == 0) \& \& (I1 == 0))$; I0=I1=0
$Wx1_1 = ((I0 == 1) \& \& (I1 == 1))$; I0=I1=1
$S1 = ((I0 == 0) \& \& (I1 == 1))$; I0=0, I1=1
$S1 = ((I0 == 1) \& \& (I1 == 0))$; I0=1, I1=0

ただし:

== → 同値,

&& → 論理AND,

Wx → 書き込むべき特定のワード線, たとえばW0またはW1,

I0, I1 → 特定の入力ビット。

これらの式から、I0=0のときはいつでも、ビット__0__書込__0__ドライバ回路38が可能化され、ビット__0__読込__書込導体36上にビット書込電流を提供して、Bx0セルに論理0を書き込むことがわかる。さらにI1=0であると、ビット__1__書込__0__ドライバ回路44が可能化されて、ビット__1__読込__書込導体42上にビット書込電流を提供して、Bx1セルに論理0を書き込む。一方で、I1=1の場合は、ビット__1__書込__1__ドライバ回路46が不能化される。代わりに、スイッチ60が可能化されて、ビット__0__書込__0__ドライバ回路38によりビット__0__読込__書込導体36上に提供されるビット書込電流をビット__1__読込__書込導体42で

* 択される製造プロセスに大幅に依存することは明らかである。しかし、MRAMアレイ26を構成するビット数が増えるにつれて、必要な書込駆動電流が急速に増大する。本発明により、駆動電流の平均的レベルを大幅に低減することが可能である。

【0017】図2に示すように、第1電流スイッチ60が設けられて、信号S1に応答して、ビット__0__読込__書込導体36の「左」端を、ビット__1__読込__書込導体42の「左」端に選択的に接続して、第1折返ビット線構造を形成する。同様に、第2電流スイッチ62を設けて、信号S1に応答して、ビット__0__読込__書込導体36の「右」端を、ビット__1__読込__書込導体42の「右」端に選択的に接続して、第2折返ビット線構造を形成する。好ましくは、スイッチ60とスイッチ62は、それぞれ、全伝送ゲートにより構成されるが、実施例によっては適切な極性の単独バス・トランジスタでも充分である。

【0018】動作中は、いくつかの制御信号が、個々のビットセルBx0, Bx1に書き込まれる入力ビットI0, I1の論理状態の関数として生成される。適切な1組の論理式は、以下の式によって構成される:

【0019】

【数1】

正しい方向に流して、Bx1セルに論理1を書き込むことができる。実際には、論理0をBx0に書き込むために用いるビット書込電流が、論理1をBx1に書き込むためにも用いられる。これにより、I0とI1とが等しい確率が100パーセントよりも小さいと想定すると、改善される本件のMRAMシステム24により引き出される平均的電流は、従来技術によるMRAMシステムにおける場合よりも少なくなる。

【0020】上記の論理式集合においてI0とI1が異なる場合は、用いられるドライバ回路はビット__0__書込__0__ドライバ回路38とビット__0__書込__1__ドライバ回路40だけになる。ドライバ回路の利用を均等にするた

めに、以下の改善された論理式の集合を用いることがで
きる： * 【0021】 * 【数2】

(z) の場合

```
{
    Wx0_0=(I0==0)           ;I0=0
    Wx0_1=(I0==1)           ;I0=1
    Wx1_0=((I0==0)&&(I1==0)) ;I0=I1=0
    Wx1_1=((I0==1)&&(I1==1)) ;I0=I1=1
    S1=((I0==0)&&(I1==1))     ; I0=0, I1=1
    S1=((I0==1)&&(I1==0))     ; I0=1, I1=0
}
```

さもなくば
【0022】

※ 【数3】

※

```
{
    Wx1_0=(I1==0)           ;I1=0
    Wx1_1=(I1==1)           ;I1=1
    Wx0_0=((I0==0)&&(I1==0)) ;I0=I1=0
    Wx0_1=((I0==1)&&(I1==1)) ;I0=I1=1
    S1=((I0==1)&&(I1==0))     ;I0=1, I1=0
    S1=((I0==0)&&(I1==1))     ;I0=0, I1=1
}
```

ただし：

== → 同値，

&& → 論理AND，

z → 無作為条件，

Wx → 書き込むべき特定のワード線，たとえばW0またはW1，

I0, I1 → 特定の入力ビット。

上記の改善された式の集合から、ドライバ回路の役割が無作為に逆転されて、その利用度を平衡化する傾向があることがわかる。いくつかの便利な規準のうち任意のものを無作為条件zとして用いることができる。たとえば、入力ビットI0またはI1のうち一方または他方を用いることもでき、あるいは両方の論理関数、すなわち排他的ORを用いることができる。あるいは、ユーザが設定することのできる制御ビット（図示せず）を用いて、ドライバの「デューティ・サイクル」を予測可能な方法で可変することもできる。

【0023】図3には、本発明の代替実施例により構築されるMRAMシステム64が図示される。ここでは、図2に示される単端ドライバの代わりに二重端プッシュプル・ドライバが置かれる。このような双方向ドライバは当技術では周知のものであり、その一例は米国特許第5,491,656号に見ることができる。動作中、双方向ワード__0__書込__x__ドライバ66は、Wx0__0__信号に
40 応答してビット__0__読込__書込導体36上にビッ

ト__0__書込__0__電流を流出させ、Wx0__1__信号に
応答してビット__0__読込__書込導体36上にビット__0__
書込__1__電流を流入させる。一方で、双方向ワード__1__
__書込__x__ドライバ68は、Wx1__0__信号に
応答してビット__1__読込__書込導体42上に
ビット__1__書込__0__電流を流出させ、Wx1__1__
信号に
40 応答してビット__1__読込__書込導体42上に
ビット__1__書込__1__電流を流入させる。この構造では、
図2のスイッチ62が必要でなくなる。わかりやすく
するために、図2と同じ他のすべての要素に関する番号は省略してある。

【0024】動作中、図3に示されるいくつかの制御信号が、個々のビット・セルBx0, Bx1に書き込まれる入力ビットI0, I1の論理状態の関数として生成される。1組の適切な論理式は、以下の式で構成される：

【0025】

【数4】

11

12

(z) の場合

*さもくば

【0026】

【数5】

```

{
    Wx0_0=(I0==0)          ;I0=0
    Wx0_1=(I0==1)          ;I0=1
    Wx1_0=((I0==0)&&(I1==0)) ;I0=I1=0
    Wx1_1=((I0==1)&&(I1==1)) ;I0=I1=1
    S1=(I0!=I1)            ;I0!=I1
}

```

10

*

```

{
    Wx1_0=(I1==0)          ;I1=0
    Wx1_1=(I1==1)          ;I1=1
    Wx0_0=((I0==0)&&(I1==0)) ;I0=I1=0
    Wx0_1=((I0==1)&&(I1==1)) ;I0=I1=1
    S1=(I0!=I1)            ;I0!=I1
}

```

ただし:

== → 同値,

!= → 等しくない,

&& → 論理AND,

z → 無作為条件,

Wx → 書き込むべき特定のワード線, たとえばW0またはW1,

I0, I1 → 特定の入力ビット。

本発明は、各々が1対のみのビット・セルを有する1対のみのワード線を有するMRAMアレイの文脈において説明されるが、本発明は任意の便宜な数のワードとワード毎ビットを有するアレイに適用可能であることは当業者には明白であろう。さらに、隣接する対のビット線のみの選択的な折返について図示および説明したが、本発明は、隣接する必要のない任意の便宜な数のビット線を選択的に折り返すために容易に拡張することができる。しかし、折返ビット線は抵抗と寄生容量が多少高くなるので、ドライバ回路の出力電流駆動容量を増加させる必要がある。その結果、約3程度の折返レベルに関する実際の制約が生まれる。

【0027】さらに、SRAMの場合と同様に、ビット・セルのアレイを、図示される「積層」構造ではなく、論理的に独立している「インライン」ビット線セグメントの集合に沿って配列することも全面的に可能であることにも注目されたい。このような構造においては、たとえば横方向に隣接するビット線セグメントを選択的に連鎖させるようにスイッチを接続することができる。同様に、本発明のビット線の各々をそれ自身折り返して、すべてのドライバ回路をアレイの中央の列に配置することもで

きる。このときビット線の各対は個々のドライバ対の片側に配置される。あるいは、より複雑な構造も可能である。

【0028】以上、本発明により、IC MRAMシステムにおいて平均的な書込電流を低減する方法が提供されたことは明らかである。当業者は、本発明の精神から逸脱せずに変更および変形が可能であることを認識されよう。詳しくは、本発明はMTJ型のMRAMシステムの文脈において本明細書に開示されるが、ジャイアント磁気抵抗 (GMR: Giant Magneto Resistive) や異方性磁気抵抗 (AMR: Anisotropic Magneto resistive) を含む他種のMRAMシステムにも等しく適応することができる。従って、本発明は添付の請求項の範囲に入るこれらすべての変形および変更を包含する。

【0029】本発明は、特定の好適な実施例の説明と添付の図面とを関連させることにより、より完璧に理解頂けよう。

【0030】本発明のいくつかの好適な実施例の以下の説明においては、同様の要素には可能な限り同様の番号が振られる。しかし、これはあくまでも参照上の便宜を図り番号を不必要に増やすことを避けるためのものであ

13

って、本発明が、これらの実施例において機能または構造において同一性を要求することを示すものではない。

【図面の簡単な説明】

【図1】従来の磁気抵抗ランダム・アクセス・メモリ(MRAM)セルを概略図に示し、本発明の好適な実施例を説明するために以下に使用される記号を示す。

【図2】本発明の好適な実施例により構築されるMRAMシステムを概略図に示す。

【図3】本発明の代替実施例により構築されるMRAMシステムを概略図に示す。

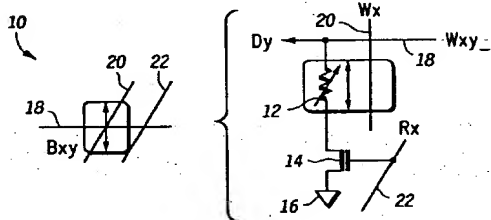
【符号の説明】

- 24 MRAMシステム
- 26 MRAMアレイ
- 28 ワード_0_書込導体
- 30 ワード_0_書込ドライバ回路
- 32 ワード_1_書込導体

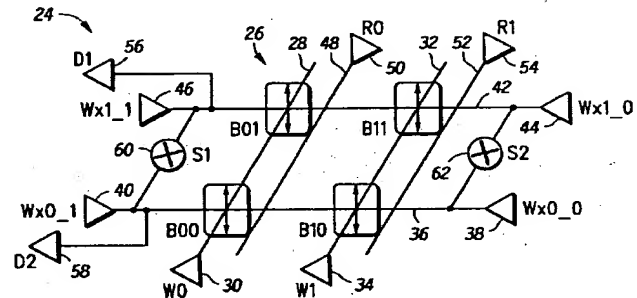
14

- 34 ワード_1_書込ドライバ回路
- 36 ビット_0_読込_書込導体
- 38 ビット_0_書込_0ドライバ回路
- 40 ビット_0_書込_1ドライバ回路
- 42 ビット_1_読込_書込導体
- 44 ビット_1_書込_0ドライバ回路
- 46 ビット_1_書込_1ドライバ回路
- 48 ワード_0_読込導体
- 50 ワード_0_読込ドライバ回路
- 52 ワード_1_読込導体
- 54 ワード_1_読込ドライバ回路
- 56 ビット_1_検知_増幅器
- 58 ビット_0_検知_増幅器
- 60, 62 電流スイッチ
- B00, B01, B10, B11 セル

【図1】



【図2】



【図3】

